

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-156376

(P2000-156376A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H O 1 L	21/316	H O 1 L	21/94 A
	21/762		21/76 D
	29/78		29/78 6 5 2 K
	21/336		6 5 3 A
			6 5 8 F
審査請求 未請求 請求項の数17 O L (全 11 頁)			

審査請求 未請求 請求項の数17 O L (全 11 頁)

(21)出願番号	特願平11-234006	(71)出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成11年8月20日(1999.8.20)	(72)発明者	尾関 善彦 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(31)優先権主張番号	特願平10-261622	(72)発明者	岡部 好文 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
(32)優先日	平成10年9月16日(1998.9.16)	(74)代理人	100071135 弁理士 佐藤 強
(33)優先権主張国	日本 (J P)		

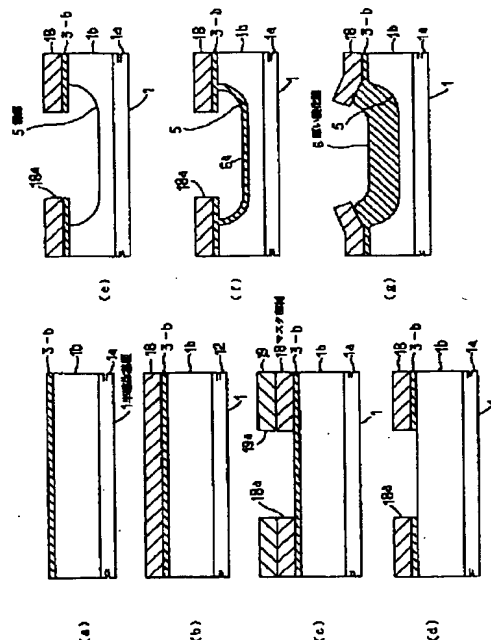
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体装置の製造工程中に、半導体基板上に形成された溝部を埋めた状態の厚い酸化膜を熱酸化によって形成する酸化膜形成工程を含む場合であっても、その酸化膜形成工程の実行に伴う半導体基板での結晶欠陥の発生を抑制できて歩留まりの向上を実現すること。

【解決手段】 半導体基板1に形成された溝部5に溝部LOCOS酸化膜6を形成するための酸化膜形成工程は、図1(f)の第1のウェット酸化工程、図1(g)の第2のウェット酸化工程によって構成される。第1のウェット酸化工程では、エピタキシャル層1bの露出面に対して、窒化シリコン膜18の開口部18aを通して約875℃の処理温度でのウェット酸化を施すことにより薄い酸化膜6aを形成する。第2のウェット酸化工程では、上記ウェット酸化の熱処理温度を、約1050℃に上げた状態でエピタキシャル層1bの酸化を進行させ、最終的に膜厚が950nm程度の溝部LOCOS酸化膜6を形成する。



【特許請求の範囲】

【請求項1】 半導体基板の表面に形成された溝部と、この溝部の側面に沿った状態のチャネル領域を形成するためのチャネルウェルとを備えた半導体装置の製造方法において、

前記溝部の形成領域に対応した位置に厚い酸化膜を熱酸化によって形成し、該厚い酸化膜がつくる溝形状の側壁部に前記チャネル領域を設定する前記チャネルウェルを形成するチャネル領域設定工程を含み、

前記厚い酸化膜を形成する工程前に、少なくとも前記溝部の形成領域に対応した前記位置を含んで、前記表面を比較的低い処理温度でウエット酸化を行う第1のウエット酸化工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記厚い酸化膜を形成する工程は、比較的高い処理温度でウエット酸化を行う第2のウエット酸化工程であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 半導体基板の表面に形成された溝部と、この溝部の側面に沿った状態のチャネル領域を形成するためのチャネルウェルとを備えた半導体装置の製造方法において、

前記半導体基板の表面側に前記溝部の形成領域に対応した開口部を有するマスク部材を形成するマスク形成工程と、

前記マスク部材の開口部を通して前記半導体基板の表面に前記溝部を形成する溝部形成工程と、

前記溝部を埋めた状態の厚い酸化膜を熱酸化によって形成する酸化膜形成工程と、

前記厚い酸化膜をマスクとして前記チャネルウェルを形成するチャネルウェル形成工程と、

前記厚い酸化膜を除去する酸化膜除去工程などを含んで成り、

前記酸化膜形成工程では、比較的低い処理温度でウエット酸化を行う第1のウエット酸化工程と、比較的高い処理温度でウエット酸化を行う第2のウエット酸化工程とを順次実行することを特徴とする半導体装置の製造方法。

【請求項4】 前記第1のウエット酸化工程での熱処理温度は1000℃未満に設定され、前記第2のウエット酸化工程での熱処理温度は1000℃以上に設定されることを特徴とする請求項2または3記載の半導体装置の製造方法。

【請求項5】 前記第1のウエット酸化工程及び第2のウエット酸化工程での熱酸化は、前記マスク部材の開口部を通して行われ、この後に当該マスク部材を除去する剥離工程を行うことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項6】 前記溝部形成工程では、等方性のケミカルドライエッチングを行うことによって、前記溝部を前

記マスク部材の開口部よりも広い入口部分を有した形状に形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項7】 前記酸化膜形成工程に先立って、前記溝部の上端縁角部を削ぎ落とすための補助エッチング工程を実行することを特徴とする請求項3、5、6の何れかに記載の半導体装置の製造方法。

【請求項8】 請求項7記載の半導体装置の製造方法において、

10 前記補助エッチング工程はケミカルドライエッチングにより行われることを特徴とする半導体基板の製造方法。

【請求項9】 前記厚い酸化膜を除去した後において前記溝部におけるチャネル領域形成面の面方位が{111}、{511}、{110}に制御されることを特徴とする請求項1ないし8の何れかに記載の半導体装置の製造方法。

【請求項10】 前記厚い酸化膜を除去した後の溝部に、ゲート絶縁膜及びゲート電極を配置することを特徴とする請求項1ないし9の何れかに記載の半導体装置の製造方法。

20 【請求項11】 請求項10記載の半導体基板の製造装置において、前記厚い酸化膜を除去する前に、チャネルウェル、ソース拡散層の各領域を前記溝部の側壁位置に対応させて設定しておくことを特徴とする半導体装置の製造方法。

【請求項12】 半導体基板表面の特定位置に熱酸化膜を形成する酸化工程を有する半導体装置の製造方法において、

30 前記酸化工程は、800～1000℃の第1の処理温度で予備的にウエット酸化を行う第1のウエット酸化ステップと、1000℃～1200℃の第2の処理温度で本格的にウエット酸化を行う第2のウエット酸化ステップとを含むことを特徴とする半導体装置の製造方法。

【請求項13】 前記第1のウエット酸化ステップ及び第2のウエット酸化ステップは、同一の酸化炉内で連続的に行われることを特徴とする請求項12記載の半導体装置の製造方法。

40 【請求項14】 前記第1のウエット酸化ステップの実行時において、前記第1の処理温度まで昇温させる期間に、熱処理雰囲気中に不活性ガス及び酸素を供給するようにしたことを特徴とする請求項12または13記載の半導体装置の製造方法。

【請求項15】 請求項14記載の半導体基板の製造方法において、

前記不活性ガスの供給割合に対する酸素の供給割合を5%以下にしたことを特徴とする半導体装置の製造方法。

【請求項16】 前記第2のウエット酸化ステップの実行時において、前記第1の処理温度から前記第2の処理温度まで昇温させる期間に、熱処理雰囲気中に不活性ガス及び酸素を供給するようにしたことを特徴とする請求

項 12 ないし 15 の何れかに記載の半導体装置の製造方法。

【請求項 17】 請求項 16 記載の半導体基板の製造方法において、

前記不活性ガスの供給割合に対する酸素の供給割合を 5 % 以下にしたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、熱酸化により選択的に酸化膜を形成する工程を有する半導体装置の製造方法に関し、例えば当該酸化膜形成箇所をチャンネル形成領域に利用するようにした縦型 MOSFET や IGBT などのような電力用の半導体装置の製造方法に好適するものである。

【0002】

【従来の技術】例えば特開平 8-236766 号公報には、コンケーブ (concave) 構造を有した縦型パワー MOSFET が記載されている。この公報に記載された縦型パワー MOSFET にあっては、半導体基板の表面部に形成された多数のチャンネルウエルの周囲に U 溝が縦横に存する形態となっており、各チャンネルウエルにおける上記 U 溝の側壁部に沿った位置にチャンネル領域が形成される構造となっている。尚、上記半導体基板は、面方位が (100) の n 型シリコン基板上に n 型エピタキシャル層を成長させたものであり、従って、上記チャンネルウエルは p ウエルとして形成されている。

【0003】このような縦型 MOSFET の製造工程中には、以下に述べるような各工程が含まれるものである。即ち、当該製造工程中には、半導体基板の表面側に前記 U 溝の形成領域に対応した格子状パターンの開口部を有する窒化シリコン膜をマスク部材として形成するマスク形成工程、半導体基板に対し上記窒化シリコン膜の開口部を通じた等方的なエッチング (ケミカルドライエッチング) を施すことにより当該半導体基板の表面に格子状の U 溝を形成する溝部形成工程、上記窒化シリコン膜をマスクとした熱酸化によって上記 U 溝を埋めた状態の溝部 LOCOS 酸化膜を形成する酸化膜形成工程、当該溝部 LOCOS 酸化膜をマスクとした自己整合的な不純物拡散によってチャンネルウエルを形成するチャンネルウエル形成工程などが含まれるものである。

【0004】

【発明が解決しようとする課題】従来では、上述した酸化膜形成工程において、1000℃を越える比較的高い処理温度 (一般的には 1050℃程度) での熱酸化が長時間にわたって行われることにより、半導体基板の表面が急速に酸化されて厚い酸化膜である溝部 LOCOS 酸化膜が形成されることになる。ところが、このような酸化膜形成工程を含む各工程 (但し、当該酸化膜形成工程での熱酸化は水蒸気を酸化剤としたウエット酸化) を経た半導体基板の結晶欠陥を評価するために、その半導体

基板の表面を露出させてセコ (Secco) エッチ処理 ($\text{HF} = 100 \text{ cc}$, $\text{H}_2\text{O} = 50 \text{ cc}$ に対して $\text{K}_2\text{Cr}_2\text{O}_7$ が 2.25 g) を施したところ、その処理面を写真撮影した画面を概略的に示す図 11 のように、U 溝 (符号 a を付して示す) におけるチャンネルウエル (符号 b を付して示す) の周縁領域部分に結晶欠陥に対応した数多くのビットが発生していることが判明した。具体的には、図 11 において、A (線状のもの) は OSF (Oxidation induced Stacking Fault: 酸化誘起積層欠陥) に起因したビット、B (点状のもの) は転位 (dislocation) に起因したビットである。

【0005】このような結晶欠陥は、縦型 MOSFET の製造時において歩留まりを低下させる要因となるものであるが、その発生原因は、主に、ドライエッチング用反応室や酸化炉などの製造装置での重金属汚染や半導体基板に作用する熱応力にあると推測できる。この場合、OSF の抑制は、半導体基板のエッチング時において反応室から付着する重金属を低減したり、或いは熱酸化処理前に行う半導体基板の洗浄を強化することが有効になる。一方、転位による結晶欠陥は、酸化膜形成工程において溝部 LOCOS 酸化膜を形成する際に、その溝部 LOCOS 酸化膜のエッジに対応した部分で発生する熱応力が主な原因と考えられる。従って、このような熱応力を低減すれば、転位に起因した結晶欠陥を抑制するために有効となるものである。ところが、従来の製造方法では、酸化膜形成工程において半導体基板に対し上述のように部分的に作用する熱応力を効果的に緩和できる手法が実現されていないため、転位による結晶欠陥の発生及びこれに伴う歩留まりの低下が避けられないものであり、この点が未解決の課題となっていた。

【0006】本発明は上記のような事情に鑑みてなされたものであり、その目的は、酸化膜を熱酸化によって選択的に形成する酸化膜形成工程を含むものでありながら、その酸化膜形成工程の実行に伴う半導体基板での結晶欠陥の発生を抑制できて歩留まりの向上を実現できるようにする半導体装置の製造方法を提供するにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、請求項 1 に記載した半導体装置の製造方法を採用できる。この製造方法によれば、チャンネル領域設定工程では、半導体基板表面の溝部の形成領域に対応した位置に厚い酸化膜が熱酸化によって形成され、該厚い酸化膜がつくる溝形状の側壁部に前記チャンネル領域を設定する前記チャンネルウエルが形成される。この場合、上記厚い酸化膜を熱酸化によって形成する工程前に、少なくとも前記溝部の形成領域に対応した前記位置を含んで、半導体基板の表面を比較的低い処理温度でウエット酸化するという工程が行われる。このように、溝部の形成領域に対応した位置に厚い酸化膜を熱酸化により形成する前の段階で、比較的低い温度でのウエット酸化を前処理として

行った場合には、最終的に形成される厚い酸化膜のエッジに対応した半導体基板部分で発生する熱応力が大幅に緩和されるものであり、これにより、その熱応力に起因した結晶欠陥が低減するようになる。この結果、上記のような製造方法によれば、厚い酸化膜を形成する工程前に半導体基板の表面に比較的低い処理温度のウエット酸化を施すという簡単な前処理を行うだけで半導体装置の製造時における歩留まりが大幅に向上するようになる。

【0008】請求項2に記載した半導体装置の製造方法によれば、溝部の形成領域に対応した位置に厚い酸化膜を熱酸化により形成する際には、半導体基板の表面を比較的低い処理温度でウエット酸化を行う第1のウエット酸化工程が行われた後に、比較的高い処理温度でウエット酸化を行う第2のウエット酸化工程が行われることになる。このように、半導体基板上に厚い酸化膜を形成するに当たって、比較的低い温度でのウエット酸化を行った後に比較的高い温度でのウエット酸化を行った場合、本件発明者らによる半導体基板の結晶欠陥評価によれば、その熱応力に起因した結晶欠陥が劇的に低減することが判明した。これは、酸化膜形成工程を上述のように二段階に行ったことにより、最終的に形成される厚い酸化膜のエッジに対応した半導体基板部分で発生する熱応力が大幅に緩和されたことによるものであり、結果的に、半導体装置の製造時における歩留まりの向上に寄与できることになる。

【0009】また、前記目的を達成するために、請求項3に記載した半導体装置の製造方法を採用することもできる。この製造方法によっても、半導体基板上に、その表面に形成された溝部を埋めた状態の厚い酸化膜を熱酸化により形成するための酸化膜形成工程が、比較的低い処理温度でウエット酸化を行う第1のウエット酸化工程と、比較的高い処理温度でウエット酸化を行う第2のウエット酸化工程との二段階に分けられた状態で順次実行されることになる。このように、半導体基板上の溝部を埋めた状態の厚い酸化膜を形成するに当たって、比較的低い温度でのウエット酸化を行った後に比較的高い温度でのウエット酸化を行った場合、本件発明者らによる半導体基板の結晶欠陥評価によれば、前述したように、その熱応力に起因した結晶欠陥が劇的に低減することが判明した。この結果、酸化膜形成工程に簡単な変更を加えるだけで半導体装置の製造時における歩留まりが大幅に向上するようになる。

【0010】請求項5記載の製造方法によれば、半導体基板に溝部を形成するために使用したマスク部材を、前記酸化膜形成工程での厚い酸化膜の形成にそのまま利用できるから、工程が簡略化するようになる。

【0011】請求項7記載の製造方法によれば、酸化膜形成工程に先立って行われる補助エッチング工程において、前記溝部の上端縁角部が削ぎ落とされて丸められた状態となるから、最終的に完成した半導体装置におい

て、その溝部の上端縁角部に電界が集中する事態が抑制される。この結果、溝部の側面に沿った状態で形成されるチャネル領域に電界を印加するために設けられるゲート電極の寿命が低下することを効果的に抑制できるようになる。

【0012】前記目的を達成するために、請求項12に記載した半導体装置の製造方法を採用することもできる。この製造方法によれば、800～1000℃の第1の処理温度による予備的なウエット酸化が行われた後に、1000～1200℃の第2の処理温度による本格的なウエット酸化が行われるから、熱酸化膜の形成領域に対応した半導体基板部分で発生する熱応力が大幅に緩和されるものであり、これにより、熱酸化膜の形成時の熱応力に伴う転位に起因した結晶欠陥の発生を防止できるようになる。

【0013】請求項13記載の製造方法によれば、予備的なウエット酸化を行うための第1のウエット酸化ステップ及び本格的なウエット酸化を行うための第2ウエット酸化ステップが、同一の酸化炉内で連続的に行われるから、工程所要時間の短縮や工数の削減を実現できるなど、実用上において好ましいものとなる。

【0014】請求項14記載の製造方法並びに請求項16記載の製造方法によれば、ウエット酸化時における処理温度を昇温させる期間に、熱処理雰囲気中に不活性ガスに加え酸素が供給されるから、不活性ガスとして窒素ガスを利用した場合において半導体基板の表面や酸化膜表面が不所望に窒化される事態（本来、窒化膜が形成されては困る領域が窒化される事態）を防止できると共に、面荒れしてしまうことも防止できるなどの効果が得られる。

【0015】

【発明の実施の形態】（第1の実施の形態）図1ないし図6には本発明をnチャネル型の縦型パワーMOSFETの製造に適用した第1実施例が示されており、以下これについて説明する。図2ないし図5には、多数個のユニットセルを備えた縦型パワーMOSFETの製造方法の概略が模式的な断面図によって示されており、まず、これについて説明する。

【0016】即ち、図2（a）に示すディープウェル形成工程では、半導体基板1の主表面に対し、所定位置に開口部を有したマスク（例えばレジスト膜：図示せず）を施した状態で、その開口部を通してp型不純物を導入すると共に熱拡散処理を施すことによって所定濃度（例えば表面濃度で $10 \times 10^{16} / \text{cm}^3$ オーダー）のディープウェル2a、2b群を形成する。

【0017】この場合、ディープウェル2aは、縦型パワーMOSFETの多数個のユニットセルにそれぞれ対応するように半導体基板1上に縦横に規則正しく配置されるものであり、最終的には後述するチャネルウェル7の一部となって、縦型パワーMOSFETのドレイン・

ソース間に高電圧が印加された状態でサージ性を向上させる役目を果たすものである。また、ディープウェル2bは、耐圧向上用のガードリングとして機能するものであり、これらは半導体基板1の周縁部に縦型パワーMOSFETのユニットセルのレイアウトを囲むようにリング状に形成される。尚、上記半導体基板1は、面方位が(100)に設定された厚さ500~600 μ m程度のn型シリコン基板1a上に、n型エピタキシャル層1bを5~30 μ m程度の厚さで成長させた構成のものであり、その表面には厚さ42.5nm程度のパッド酸化膜3-aが熱酸化により形成されている。また、上記シリコン基板1aは、抵抗率が0.006 Ω ・cm以下となるように砒素(As)を高濃度に導入した構成のものであり、さらに、エピタキシャル層1bは、リン(P)を $1 \times 10^{14} \sim 5 \times 10^{16}$ /cm³程度の濃度で導入した構成のものである。

【0018】次に、図2(b)に示すLOCOS酸化膜形成工程では、半導体基板1の所定部位に周知の選択酸化法によって絶縁分離用のLOCOS酸化膜4を形成する。尚、図2(b)では、ディープウェル2b群に対応されたLOCOS酸化膜4のみを示したが、実際には他の部位にも必要に応じてLOCOS酸化膜が形成されるものである。

【0019】この後には、図2(c)に示す溝部形成工程、図3(d)に示す酸化膜形成工程をチャンネル領域設定工程として順次実行する。上記溝部形成工程及び酸化膜形成工程並びにこれらに関連した工程の具体的内容については後で詳しく述べるが、図2(c)の溝部形成工程では、半導体基板1の表面に、後述する窒化シリコン膜18を利用することにより、ケミカルドライエッチング或いは反応性イオンエッチングなどによって格子状配置とされた溝部5を前記各ディープウェル2aを囲んだ形態で形成する。尚、上記溝部5は、コンケーブ(concave)と呼ばれるものであり、格子状の平面パターンを有することにより、最終的にコンケーブ構造の側壁部にチャンネル領域が設定された四角形の縦型パワーMOSFETセルが形成されることになる。また、溝部5の縦断面形状は、U字状若しくはバスタブ形状とされる。さらに、図3(d)の酸化膜形成工程では、上記溝部5を埋めた状態の溝部LOCOS酸化膜6(本発明でいう厚い酸化膜に相当)を形成する。これら図2(c)に示す溝部形成工程及び図3(d)に示す酸化膜形成工程では、同一の開口パターンを有する窒化シリコン膜18が利用される。

【0020】図3(e)に示すチャンネルウェル形成工程では、ボロン(B)のようなp型不純物を上記溝部LOCOS酸化膜6をマスクとして自己整合的に導入すると共に熱拡散処理を行うことによって、前記各ディープウェル2aに対応した位置に当該ディープウェル2aと一体化された状態のチャンネルウェル7をそれぞれ形成す

る。

【0021】図4(f)に示すコンタクト層形成工程では、チャンネルウェル7の中央部に開口部を有したレジスト膜(図示せず)を半導体基板1上に形成した状態で、そのレジスト膜をマスクとしてボロンのようなp型不純物をイオン注入することによって高濃度(例えば表面濃度で $10 \times 10^{18} \sim 10^{20}$ /cm³ オーダー)のチャンネルコンタクト層8を形成し、この後に上記レジスト膜を除去する。

【0022】図4(g)に示すソース拡散層形成工程では、溝部LOCOS酸化膜6により囲まれた上記チャンネルコンタクト層8部分及び他の必要部分を覆った状態のレジスト膜(図示せず)を半導体基板1上に形成した状態で、そのレジスト膜及び溝部LOCOS酸化膜6をマスクとしてリン或いは砒素のようなn型不純物をイオン注入することによって高濃度(例えば表面濃度で $10 \times 10^{18} \sim 10^{20}$ /cm³ オーダー)のソース拡散層9及びチャンネルストップ10を形成し、この後に上記レジスト膜を除去する。これにより、チャンネルウェル7における溝部5の側面に沿った部分がnチャンネル領域として機能することになる。尚、このときには溝部LOCOS酸化膜6をマスクとした二重拡散が行われることによって、イオン注入範囲については上記nチャンネル領域の自己整合機能が得られるものである。尚、図2(c)に示す溝部形成工程において、溝5の格子状配置を基板表面の[011]方向に対して直角或いは平行方向に沿うように制御し、且つ、溝深さ及び図3(d)に示す酸化膜形成工程での酸化条件(酸化膜厚)を適宜選り、溝部LOCOS酸化膜6の側壁仰角を調整することで、nチャンネル領域形成面の面方位を{111}や{511}の結晶面にすることができる。また、同様に、格子状配置を[001]方向に整合させて溝部LOCOS酸化膜6の側壁仰角を調整すれば、nチャンネル領域の面方位を{110}の結晶面に制御することができる。

【0023】次に、図4(h)に示す酸化膜除去・ゲート酸化膜形成工程では、溝部LOCOS酸化膜6及びチャンネルウェル7に対応した部分のパッド酸化膜3-cを、例えばウエットエッチングにより選択的に除去した後、その除去部分に膜厚が例えば60nm程度のゲート酸化膜11を乾燥酸素雰囲気中での熱酸化(ドライ酸化)により形成する。これにより、上記ゲート酸化膜11は、溝部5の側面及び底面に沿った形態で形成されることになる。

【0024】図5(i)に示すポリシリコン膜形成・層間絶縁膜堆積工程では、半導体基板1上に膜厚400nm程度のポリシリコン膜を堆積すると共に、その堆積膜をリンデボなどの手段により低抵抗化した後に所定形状にパターンニングすることによって、連続した状態のゲート電極12を形成し、さらに半導体基板1の全体を覆うようにしてBPSGより成る層間絶縁膜13を堆積す

る。尚、上記ゲート電極12は、前記絶縁分離用LOCOS酸化膜4上まで延出した状態の端子部12aを一体に有した形態とされる。

【0025】図5(j)に示すコンタクトホール形成工程では、層間絶縁膜13などにコンタクトホール14群を形成することによって、チャネルコンタクト層8及びソース拡散層9、ゲート電極12の端子部12a、チャネルストッパ10を露出させる。

【0026】図5(k)に示す表面電極形成工程では、ソース電極膜15、ゲート電極膜16及びチャネルストッパ用電極膜17を所謂第1アルミによって形成し、これら各電極膜15~17を、前記コンタクトホール14群を通じて前記チャネルコンタクト層8及びソース拡散層9、ゲート電極12の端子部12a、チャネルストッパ10にそれぞれオーミック接触させる。さらに、この後には、具体的に図示しないが、電極膜保護用のパッシベーション膜を堆積すると共に、半導体基板1の裏面(シリコン基板1aの裏面)を研削した後に裏面電極(ドレイン電極)を形成する。

【0027】さて、図1には、上述した溝部形成工程(図2(c)参照)及び酸化膜形成工程(図3(d)参照)並びにこれらに関連した工程の具体的内容が、要部の模式的な断面図(ウェル構造は図示せず)により示されており、以下これについて説明する。尚、上記溝部形成工程は、図1(d)及び(e)に示すレジスト剥離・酸化膜エッチング工程及びシリコンエッチング工程によって構成され、上記酸化膜形成工程は、図1(f)及び(g)に示す第1のウェット酸化工程及び第2のウェット酸化工程によって構成されるものである。また、図1(b)及び(c)に示す窒化膜堆積工程及び窒化膜パターンニング工程によって、本発明でいうマスク形成工程が構成されるものである。

【0028】即ち、図1(a)に示す低温酸化工程では、半導体基板1の主表面(エピタキシャル層1bの表面)に対し、水蒸気雰囲気中で熱酸化(ウェット酸化)を施すことにより厚さ42.5nm程度のパッド酸化膜3-bが形成される。尚、このときの熱処理温度は875℃程度の比較的低い温度に設定される。

【0029】パッド酸化膜3-bを形成した後は、図1(b)及び(c)に示す窒化膜堆積工程及び窒化膜パターンニング工程を順次実行する。具体的には、窒化膜堆積工程では、パッド酸化膜3-b上に窒化シリコン(Si₃N₄)膜18を300nm程度の厚さとなるように堆積する。また、窒化膜パターンニング工程では、まず、窒化シリコン膜18上にレジスト膜19を堆積すると共に、このレジスト膜19に対し、公知のフォトリソグラフィ技術を施すことによって前記溝部5の形成領域に対応した格子状パターンの開口部19aを形成する。次いで、レジスト膜19をマスクとしたドライエッチングを行うことによって、窒化シリコン膜18に上記開口部19a

に対応した形状の開口部18aを形成し、以て当該窒化シリコン膜18が本発明でいうマスク部材として機能するように構成する。尚、上記開口部18aの開口幅は、溝部5の開口幅が大きくなることを見込んで、それより小さい状態に設定される。

【0030】この後には、図1(d)に示すレジスト剥離・酸化膜エッチング工程を実行する。この工程では、レジスト膜19を剥離した後に、窒化シリコン膜18をマスクとしてパッド酸化膜3-bにウェットエッチングを施すことにより、エピタキシャル層1bを露出させる。

【0031】この後には、図1(e)に示すシリコンエッチング工程を実行する。本実施例では、窒化シリコン膜18をマスクとした等方性のケミカルドライエッチングによってエピタキシャル層1bに深さ1.6μm程度の溝部5を形成する場合を説明する。ケミカルドライエッチングにより等方性エッチングが行われることにより、上記溝部5は、マスクである窒化シリコン膜18の開口部18aよりも広い入口部分を有した形状に形成されることになる。このケミカルドライエッチングには、例えばCF₄(四フッ化炭素)+O₂系ガスを用いる。尚、本実施例では、パッド酸化膜3-bをウェットエッチングする前にレジスト膜19を剥離するようにしているが、そのレジスト膜19を溝部5形成のためのケミカルドライエッチング時のマスクに利用するようにしても良い。

【0032】さて、図1(f)に示す第1のウェット酸化工程では、エピタキシャル層1bの露出面(溝部5の表面)に対して、窒化シリコン膜18の開口部18aを通して1000℃未満望ましくは800~900℃の比較的低い処理温度でのウェット酸化(水蒸気雰囲気中での熱酸化)を施すことにより膜厚が42.5nm程度の薄い酸化膜6aを形成する。このときの熱処理温度は、例えば約875℃に設定する。引き続き図1(g)に示す第2のウェット酸化工程を実行するものであり、この工程では、上記ウェット酸化の熱処理温度を、比較的高い温度、具体的には1000℃~1200℃(望ましくは1100℃以下)の温度、例えば約1050℃に設定することにより、エピタキシャル層1bの酸化を進行させ、最終的に膜厚が950nm程度の溝部LOCOS酸化膜6を形成する。そして、この後に、図示しない熱リン酸を用いた工程において、窒化シリコン膜18を剥離する。

【0033】上記した実施例による縦型パワーMOSFETの製造方法によれば、半導体基板1上に、その表面に形成された溝部5を埋めた状態の溝部LOCOS酸化膜6を熱酸化により形成するための酸化膜形成工程が、比較的低い処理温度(例えば約875℃)でウェット酸化を行う第1のウェット酸化工程(図1(f)参照)と、比較的高い処理温度(例えば約1050℃)でウェット酸化を行う第2のウェット酸化工程(図1(g)参

照)との二段階に分けられた状態で順次実行されることになる。

【0034】このように、半導体基板1上の溝部5を埋めた状態の溝部LOCOS酸化膜6を形成するに当たって、本実施例のように、約875℃での予備的なウエット酸化を行って膜厚が42.5nm程度の薄い酸化膜6aを形成した後に、約1050℃での本格的なウエット酸化を行って膜厚が950nm程度の溝部LOCOS酸化膜6を形成した場合、本件発明者らによる半導体基板1の結晶欠陥評価によれば、その熱応力に伴う転位に起因した結晶欠陥が図6に示すように従来構成(図11参照)に比べて劇的に低減することが判明した。尚、図6は、半導体基板1の表面にセコエッチ処理を施した資料の処理面を写真撮影した画面を概略的に示すものであり、また、この資料は、重金属汚染対策を施すことによりOSFを抑制した状態としたものである。このような転位に起因した結晶欠陥の低減効果は、酸化膜形成工程を第1のウエット酸化工程及び第2のウエット酸化工程の二段階に行ったことにより、溝部LOCOS酸化膜6のエッジに対応した半導体基板1部分で発生する熱応力が大幅に緩和されたことにより得られると考えられ、結果的に、本実施例による製造方法によれば、酸化膜形成工程をウエット酸化により行うと共に、その熱処理温度を二段階に調整するという簡単な変更を加えるだけで縦型パワーMOSFETの製造時における歩留まりが大幅に向上するようになる。

【0035】また、本実施例による製造方法によれば、半導体基板1に溝部5を形成するために使用したマスク部材(窒化シリコン膜18)を、酸化膜形成工程での溝部LOCOS酸化膜6の形成にそのまま利用できるから、工程が簡略化するようになる。さらに本実施例において溝部形成工程の一段階をなすシリコンエッチング工程(図1(e))では、半導体基板1のエピタキシャル層1bに対して、窒化シリコン膜18をマスクとした等方性のケミカルドライエッチングを施すことにより、その窒化シリコン膜18の開口部18aよりも広い入口部分を有した形状の溝部5を形成する構成としているため、次に述べるような効果が得られることになる。つまり、等方性のエッチングが行われる結果、溝部5の上端縁角部が鈍角状になるため、その溝部5の上端縁角部に対する電界の集中が緩和されるようになって、溝部5の側面に沿った状態で形成されるゲート電極12の寿命低下を抑止できるようになる。また、ケミカルドライエッチングは、そのプロセスの制御性が高く、再現性が高いという利点があると共に、被エッチング面に与えるダメージが小さいという利点があるから、溝部5の表面欠陥を少なくできて、その側面に形成されるチャネル領域の電気的特性の向上を期待できるようになる。

【0036】(第2の実施の形態)図7及び図8には、上記第1の実施の形態に変更を加えた本発明の第2の実

施の形態が示されており、以下これについて第1実施例と異なる部分のみ説明する。即ち、図7(a)~(e)に示す各工程は、第1実施例における低温酸化工程、窒化膜堆積工程、窒化膜パターンニング工程、レジスト剥離・酸化膜エッチング工程、シリコンエッチング工程(図1(a)~(e)参照)と同様に行う。

【0037】図7(f)に示す酸化膜エッチング工程では、パッド酸化膜3-bに対して、窒化シリコン膜18をマスクとしたウエットエッチングを施すことにより、そのパッド酸化膜3-bを溝部5の上端開口縁部から所定寸法だけ後退させ、上端開口幅を広げる。

【0038】図7(g)に示す補助エッチング工程では、エピタキシャル層1bに対して、前記シリコンエッチング工程(図7(e)参照)と同様の等方性ケミカルドライエッチングを施すことにより、当該エピタキシャル層1bにおける溝部5の上端縁角部を削ぎ落とす。

【0039】この後に、図8(h)に示す第1のウエット酸化工程及び図8(i)に示す第2のウエット酸化工程を、第1実施例における第1のウエット酸化工程(図1(f)参照)及び第2のウエット酸化工程(図1(g)参照)と同様に行うことにより、溝部LOCOS酸化膜6を形成する。

【0040】このような製造方法によれば、補助エッチング工程において、溝部5の上端縁角部が削ぎ落とされて丸められた状態となるから、最終的に完成した縦型パワーMOSFETにおいて、その溝部5の上端縁角部に電界が集中する事態が第1実施例に比べてさらに緩和されることになり、ゲート電極12の寿命低下をより効果的に抑止できるようになる。

【0041】(第3の実施の形態)上記した第1、第2の実施例において、第1のウエット酸化工程及び第2のウエット酸化工程を同じ酸化炉の熱処理雰囲気内で連続的に行うようにすると、工程所要時間の短縮や工数の削減を実現できるなど、実用上において好ましいものとなる。そこで、以下においては、第1、第2のウエット酸化工程を連続的に行うようにした本発明の第3実施例について図9及び図10を参照しながら説明する。尚、この実施例は、第1、第2実施例のように膜厚が950nm程度の溝部LOCOS酸化膜を形成する場合の具体的な工程例を示すものである。

【0042】酸化工程を実行するための製造装置の構成例を概略的に示す図9のように、ポート21に多数枚のウェーハ22をセットし、これを酸化炉20内にローディングする。尚、酸化炉20には、バルブ23を介して窒素(N₂)が毎分約10リットルずつ供給可能に構成されていると共に、バルブ24及び25を介して酸素(O₂)が各々毎分約0.5リットル及び約6リットルずつ供給可能に構成され、さらにバルブ26を介して水素(H₂)が毎分約6リットルずつ供給可能に構成されている。

【0043】そして、酸化炉20内にバルブ23、24を介して毎分0.5リットルの酸素及び毎分10リットルの窒素を供給しながら、その酸化炉20内の温度Tを図10に示すように上げていく。つまり、図10は酸化工程レシピ例を示すもので、炉内温度Tが、所定の予熱温度（例えば約800℃）にあるタイミングt1から、1000℃未満望ましくは800～900℃の比較的低い温度（例えば約875℃）となるタイミングt2までの期間において、窒素の供給割合に対する酸素の供給割合を5%以下（本実施例では5%）に制御した状態で、例えば10℃/分の昇温プロファイルで炉内温度Tを上昇させる。

【0044】タイミングt2以降は、炉内温度Tを、800～1000℃の第1の処理温度、特に1000℃未満望ましくは800～900℃の比較的低い温度（例えば約875℃）に維持し、且つ、窒素の供給割合に対する酸素の供給割合を5%に制御したままの状態、タイミングt3まで約10分のアニールを行う。

【0045】タイミングt3では、バルブ23を介した窒素の供給を停止し、バルブ24、25を介して酸化炉20内に酸素（毎分6.5リットル）のみを供給する。そして、酸化炉20内の雰囲気安定したタイミングt4（例えば約5分後）を見計らって酸化炉20内にバルブ26を介して水素の供給を開始するものであり、これにより、予備的な第1のウェット酸化ステップによる本酸化を例えば約30分が経過するタイミングt5まで継続的に行う。

【0046】この後、タイミングt5では、第2のウェット酸化ステップへの移行のために、バルブ26を介した水素の供給を停止すると共に、バルブ25を介した酸素の供給を停止し（バルブ24を介した酸素の供給は継続）、バルブ23を介した窒素の供給を開始する。このとき、窒素の供給割合に対する酸素の供給割合が5%に制御されるものであり、このような制御状態で、酸化炉20内の雰囲気安定した状態となったタイミングt6から、炉内温度Tが、1000℃～1200℃（望ましくは1100℃以下）の温度、具体的には約1050℃となるタイミングt7までの期間において、窒素の供給割合に対する酸素の供給割合を5%以下（本実施例では5%）に制御した状態で、例えば10℃/分の昇温プロファイルで炉内温度Tを上昇させる。

【0047】タイミングt7以降は、炉内温度Tを、第2の処理温度である1000℃～1200℃の範囲の比較的高い温度（例えば約1050℃）に維持し、且つ、窒素の供給割合に対する酸素の供給割合を5%に制御したままの状態、タイミングt8まで約10分のアニールを行う。

【0048】タイミングt8では、バルブ23を介した窒素の供給を停止し、バルブ24、25を介して酸化炉20内に酸素（毎分6.5リットル）のみを供給する。

そして、酸化炉20内の雰囲気安定したタイミングt9（例えば約5分後）を見計らって酸化炉20内にバルブ26を介して水素の供給を開始するものであり、これにより、本格的な第2のウェット酸化ステップによる本酸化を例えば約250分が経過するタイミングt10まで継続的に行う。そして、タイミングt10にて、バルブ26を介した水素の供給並びにバルブ25を介した酸素の供給を停止すると共に（バルブ24を介した酸素の供給は継続）、バルブ23を介した窒素の供給を開始し、この後に所定時間が経過したタイミングt11から、酸化炉20内を、その炉内温度Tを所定温度（例えば800℃）となるタイミングt12まで例えば-3℃/分の降温プロファイルにて冷却し、冷却後にワーク（ウエーハ22がセットされたポート21）をアンロードする。

【0049】このように、第1のウェット酸化ステップ及び第2のウェット酸化ステップを同じ酸化炉20内で連続的に実行した場合でも、LOCOS酸化膜の形成時の熱応力に伴う転位に起因した結晶欠陥の発生を防止できるものであり、また、これと同時に工程所要時間の短縮や工数の削減を実現できるなど、実用上において好ましいものとなる。

【0050】この場合、第1及び第2のウェット酸化ステップでの本酸化に先立ち、その昇温時及び炉内安定化時において、不活性ガス（窒素）に加えて酸素を5%以下の割合だけ供給するようにしている。これにより、シリコン基板の表面や酸化膜表面が不所望に窒化される事態（本来、窒化膜が形成されては困る領域が窒化される事態）を防止でき、また、面荒れしてしまうことも防止できるようになる。さらに、酸素を微量ながら供給することにより、酸化を伴う予備的なアニールが行われることになり、前工程、即ちディーブウェル形成時やケミカルドライエッチング或いは反応性イオンエッチングなどによる溝部の形成時などに、基板表面に構成された微小欠陥自体が酸化膜の成長と共に酸化膜中に取り込まれることになる。これにより、本酸化時の酸化膜成長による体積膨張に起因したOSFの発生をさらに抑制できるようになる。また、酸素を炉内雰囲気中に導入することによって、酸素がゲッタリング作用を発揮し、雰囲気中からの汚染の取り込みを防止できる。つまり、特にウエーハ22を酸化炉20内に挿入（ロード）する場合、大気を炉内に巻き込んで汚染源となることが懸念されるが、このような懸念に対して有効となる。

【0051】尚、上記第3の実施例では、図10に示す酸化工程レシピ例において、酸化炉20内の昇温中（タイミングt1～t2、t6～t7）及び本酸化前の一定時間の均熱熱処理時（タイミングt2～t4、t7～t9）の両方において、加熱炉20内に窒素（不活性ガス）に加え酸素を供給するようにしたが、それら昇温中及び均熱熱処理時の一方のみにて、酸化炉20内に

窒素に加え酸素を供給するようにしても良い。また、不活性ガスとして窒素(N₂)を用い、それをメインガスとして酸素を5%以下の割合で添加するようにしたが、メインガスとしては、窒素に限らずアルゴン(Ar)、ネオン(Ne)、ヘリウム(He)などの不活性ガスを使用しても良い。

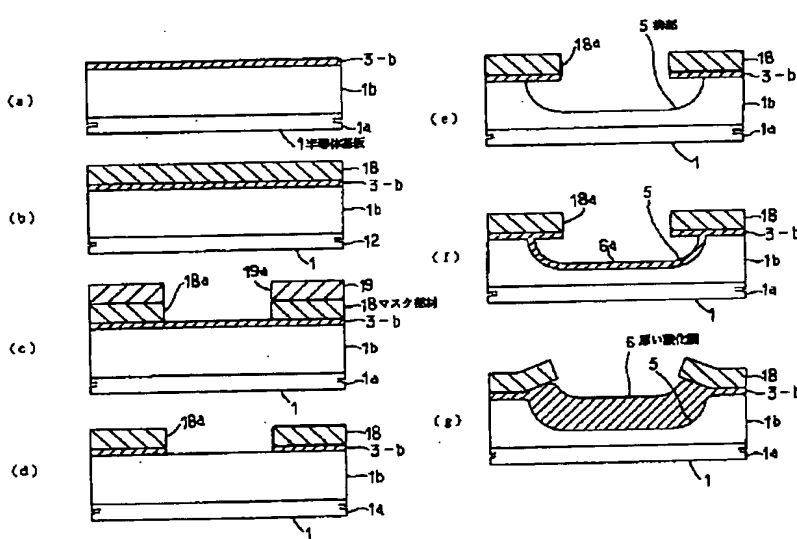
【0052】(その他の実施の形態)本発明は上記した各実施例に限定されるものではなく、次のような変形または拡張が可能である。nチャネル型の縦型パワーMOSFETの製造方法を例にして説明したが、pチャネル型のものにも適用できることは勿論であり、また、パワーIGBTのような半導体装置の製造にも適用できる。溝部形成工程では、等方性のケミカルドライエッチングを行う構成としたが、反応性イオンエッチングやウェットエッチングなどの他の手法を用いることも可能である。さらには、縦型構造のみならず、同様のチャネル構造を有するMOS素子、LDMOS、アップドレインタイプのDMOSなどの半導体素子の製造にも適用可能である。

【図面の簡単な説明】

【図1】本発明の第1実施例による製造方法の要部を示す模式的断面図

【図2】縦型パワーMOSFETの製造方法の概略を示す*

【図1】



*す模式的断面図その1

【図3】縦型パワーMOSFETの製造方法の概略を示す模式的断面図その2

【図4】縦型パワーMOSFETの製造方法の概略を示す模式的断面図その3

【図5】縦型パワーMOSFETの製造方法の概略を示す模式的断面図その4

【図6】結晶欠陥評価結果を概略的に示す半導体基板の部分的な平面図

10 【図7】本発明の第2実施例を示す図1相当図その1

【図8】図1相当図その2

【図9】本発明の第3実施例を示すもので、酸化工程用の製造装置の構成例を示す図

【図10】酸化工程レシピ例を示す図

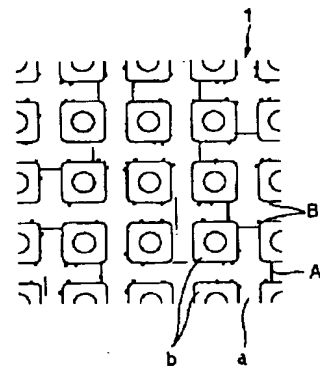
【図11】従来例の欠点を説明するための図6相当図

【符号の説明】

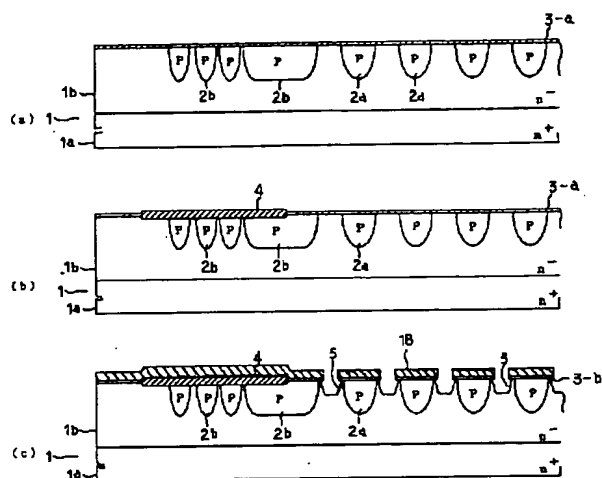
1は半導体基板、1aはシリコン基板、1bはエピタキシャル層、5は溝部、6は溝部LOCOS酸化膜(厚い酸化膜)、7はチャネルウェル、8はチャネルコンタクト層、9はソース拡散層、11はゲート酸化膜、12はゲート電極、18は窒化シリコン膜(マスク部材)、18aは開口部、20は酸化炉を示す。

20

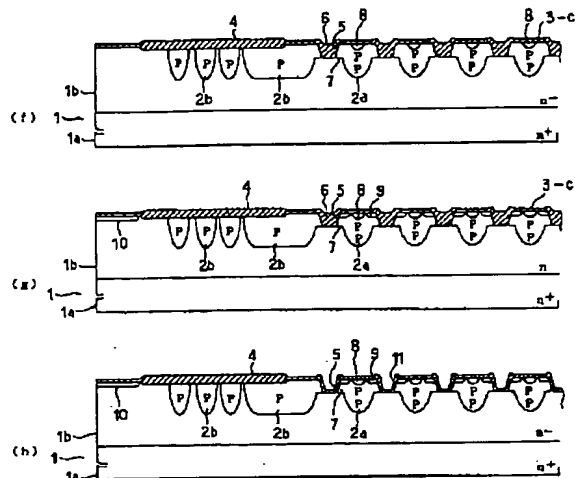
【図11】



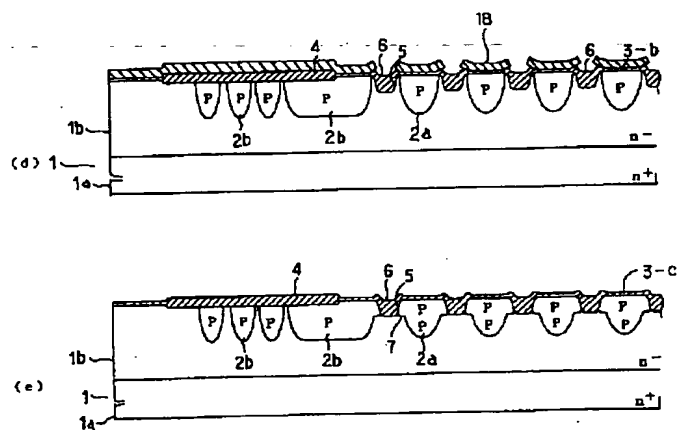
【図 2】



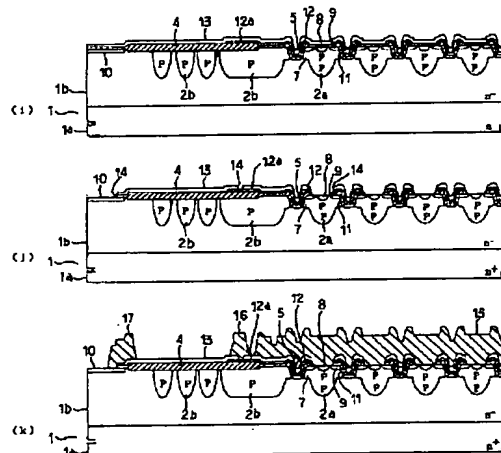
【図 4】



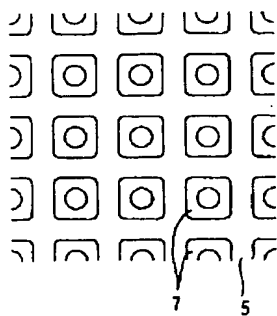
【図 3】



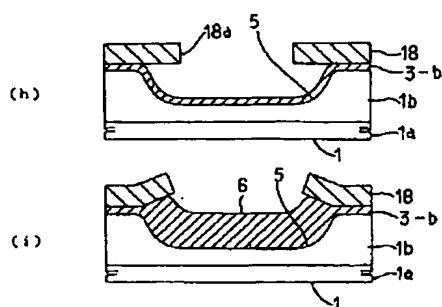
【図 5】



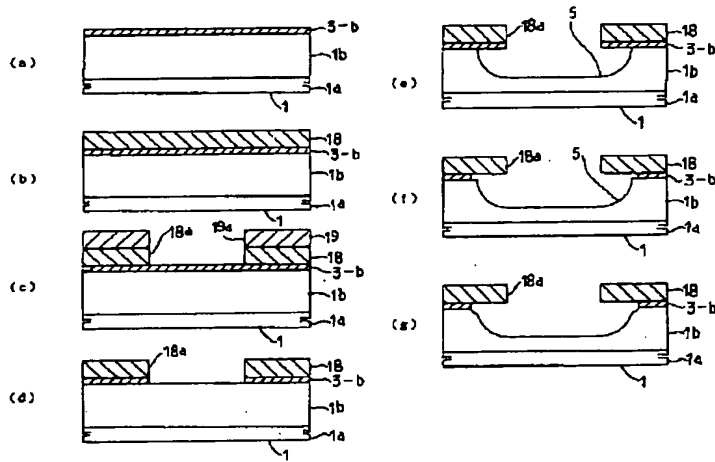
【図 6】



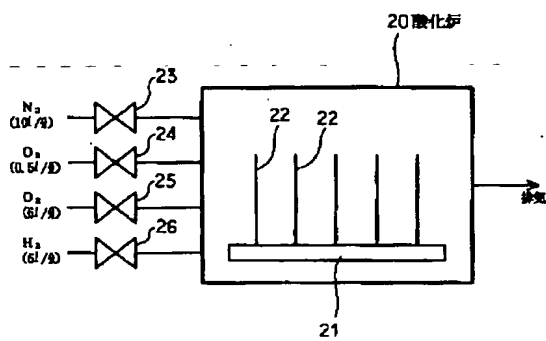
【図 8】



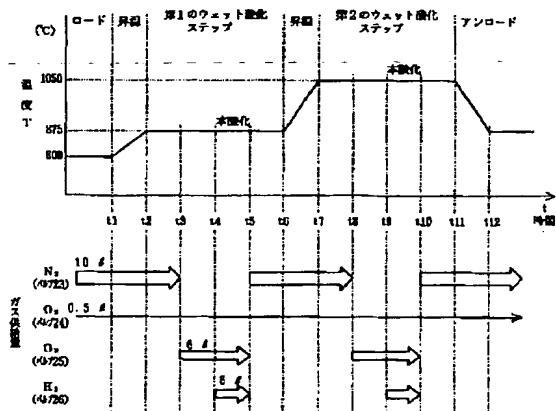
【図7】



【図9】



【図10】



フロントページの続き

(72)発明者 深沢 剛
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 与倉 久則
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内